

# ЭВОЛЮЦИЯ АППАРАТНОЙ ПЛАТФОРМЫ РЕКОНФИГУРИРУЕМЫХ ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ

Н.Н. Дмитренко, И.А. Каляев, И.И. Левин, Е.А. Семерников

Известно, что высокую реальную производительность суперЭВМ с традиционной кластерной архитектурой демонстрируют, как правило, только при решении слабосвязанных задач, не требующих большого количества взаимных информационных обменов, в то время как при решении задач других классов их реальная производительность существенно снижается и не превышает 5-10% от декларируемой пиковой производительности системы. Это является следствием несоответствия конкретной архитектуры суперкомпьютера информационной структуре решаемой задачи [1, 2]. Очевидно также, что традиционные формы повышения производительности суперЭВМ, такие как повышение тактовой частоты процессоров, в настоящее время практически исчерпаны. Прорыв на этом направлении может быть достигнут только за счет поиска других концептуальных подходов при построении высокопроизводительных систем [3].

Один из таких подходов развивается в Научно-исследовательском институте многопроцессорных вычислительных систем имени академика А.В. Каляева Южного федерального университета (НИИ МВС ЮФУ). [4-8], где создается концепция многопроцессорных систем с реконфигурируемой архитектурой, у которых в качестве основного вычислительного элемента используются не универсальные микропроцессоры, а программируемые логические интегральные схемы (ПЛИС) большой степени интеграции. В отличие от многопроцессорных вычислительных систем с «жесткой» архитектурой, архитектура реконфигурируемых вычислительных систем (РВС) может динамически изменяться в процессе их функционирования. В результате пользователь РВС имеет возможность адаптировать архитектуру вычислительной системы под структуру решаемой им задачи, что обеспечивает высокую реальную производительность РВС, близкую к пиковой производительности на широком классе задач.

Высокопроизводительные РВС строятся на принципах модульной наращиваемости из однотипных базовых модулей. Принцип модульной наращиваемости позволяет нарастить производительность РВС при увеличении количества базовых модулей. Вычислительное поле РВС, выполненное на основе ПЛИС, и блоки распределенной памяти рассредоточены по базовым модулям и объединяются в единый вычислительный ресурс посредством системы быстрых связей.

Обобщенная структура базового модуля на основе ПЛИС показана на рис. 1.

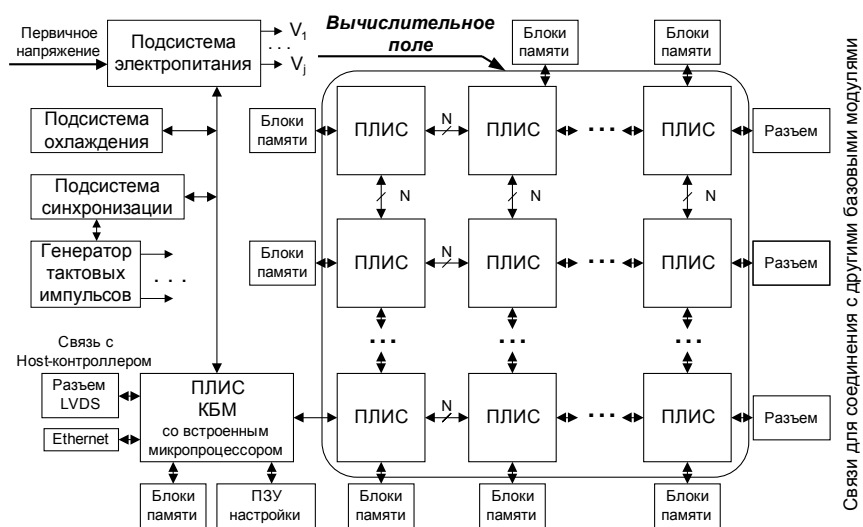


Рис. 1. Структура базового модуля реконфигурируемой системы на основе ПЛИС

Начиная с 1998 года, в НИИ МВС ЮФУ создавались высокопроизводительные модульно-наращиваемые РВС на основе различных базовых модулей. В [7] приводятся внешний вид и характеристики базовых модулей 16P25 и 16M50, созданных в 2004 и 2006 годах на ПЛИС Virtex II XC2V3000 и XC4VLX40 соответственно. На рис. 2 в качестве примера последних разработок показан базовый модуль 16V5-75, созданный в 2008 году на основе ПЛИС Virtex 5 XC5VLX110 фирмы Xilinx, производительностью до 200 Гфлопс. На основе этого базового модуля строится семейство высокопроизводительных многопроцессорных вычислительных систем с динамически перестраиваемой архитектурой производительностью до 6 Тфлопс.

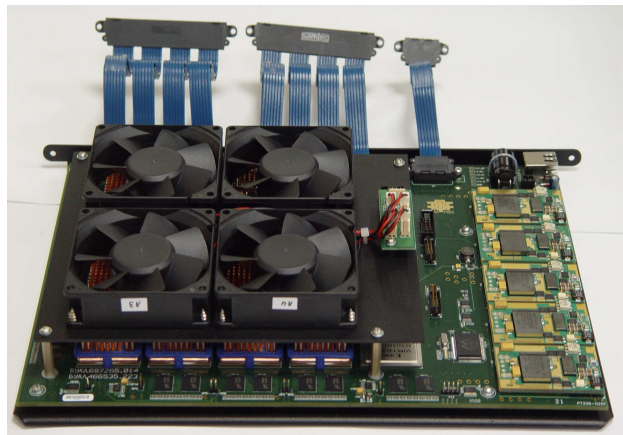
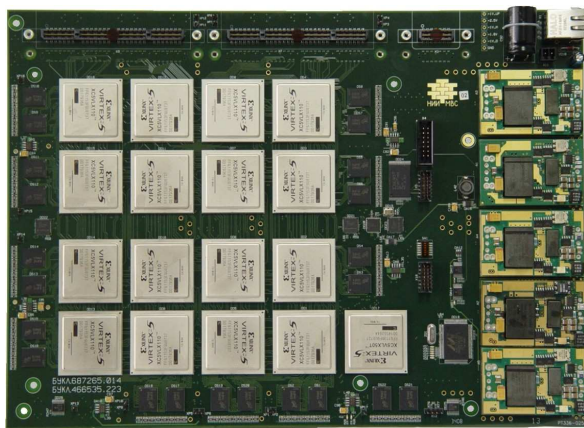


Рис. 2. Базовый модуль 16V5-75 для семейства РВС

Вычислительные поля базовых модулей содержат по шестнадцать ПЛИС, расположенных в узлах двумерной решетки 4 x 4 и соединенных между собой ортогональной системой связей по близкоддействию. Ортогональная система связей позволяет существенно упростить печатную плату и улучшить ее частотные характеристики. Данные между несмежными микросхемами передаются по транзитным каналам через промежуточные ПЛИС, используя систему ортогональных связей. Особое внимание при разработке базового модуля 16V5-75 было уделено подсистемам передачи данных между ПЛИС вычислительного поля и межмодульным информационным обменам, поскольку от этого зависит качество и быстродействие вычислительных структур, создаваемых в объединенном ресурсе вычислительных полей всех базовых модулей РВС.

На рис. 3 показаны графики суммарной скорости передачи данных в каналах распределенной памяти, в каналах межмодульного обмена и во внутримодульных каналах обмена между ПЛИС вычислительного поля.

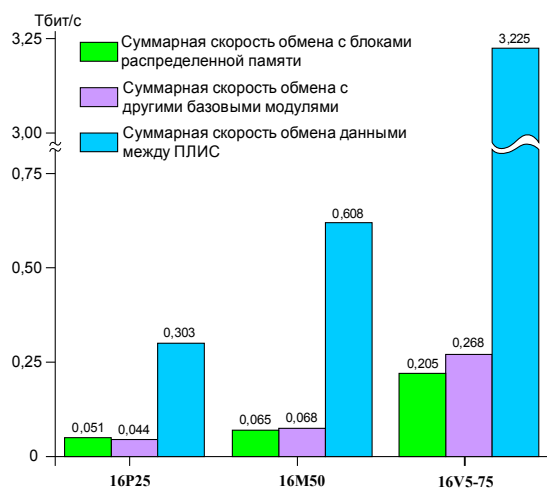


Рис. 3. Графики суммарной скорости передачи в каналах базовых модулей

В базовых модулях 16P25 и 16M50 связи между ПЛИС вычислительного поля выполнены в виде обычных соединений печатными проводниками и рассчитаны на темп передачи данных 100 и 200 МГц, межмодульные связи выполнены на основе стандарта LVDS с темпом передачи 400 и 640 МГц. На базовом модуле 16V5-75 связи между ПЛИС вычислительного поля и межмодульные связи реализованы на основе стандарта LVDS на частоте 1200 МГц, что позволило существенно (в 3-4 раза) увеличить суммарную пропускную способность как внутримодульных, так и межмодульных каналов передачи данных.

Применение стандарта LVDS позволяет снизить потребляемую мощность выходных каскадов ПЛИС, понизить уровень создаваемых электромагнитных излучений и обеспечить невосприимчивость к синфазным электромагнитным помехам. Физически шины связи представляют собой набор пар дифференциальных полосковых линий, с обоих концов подключенных к определенным выводам микросхем. Для надежной передачи данных по каждому LVDS-каналу в базовом модуле 16V5-75 задействованы специальные ресурсы семейства микросхем Vertex 5, поддерживающие алгоритм оптимальной битной и кадровой синхронизации и

позволяющие учесть все нюансы линии передачи. Реализация связей между ПЛИС вычислительного поля на основе стандарта LVDS в два раза увеличило пропускную способность внутримодульных каналов передачи данных. Межмодульные связи на основе стандарта LVDS позволяют передавать данные непосредственно из микросхем базового модуля непосредственно в микросхемы вычислительных полей других базовых модулей, что обеспечивает одинаковые скорости внутри- и межмодульной передачи данных и снижает эффект границ в пределах общего схемотехнического ресурса РВС, построенной на основе базового модуля типа 16V5-75.

На рис. 4 показаны графики производительности базовых модулей для операций с плавающей запятой одинарной точности и байтных операций в секунду для задач символьной обработки.

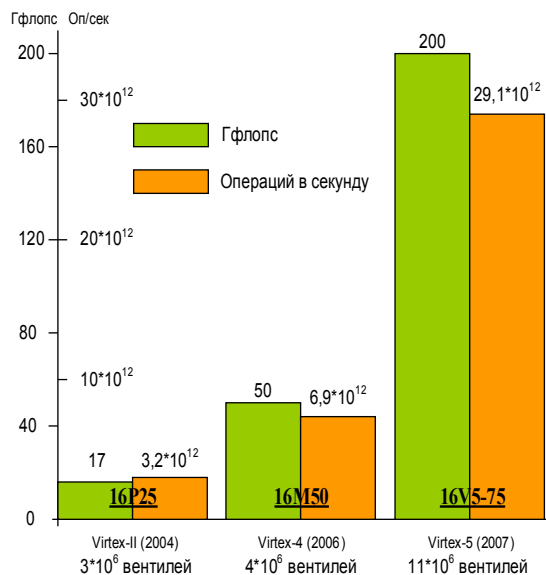


Рис. 4. Графики производительности базовых модулей

На основе этих базовых модулей были созданы вычислительные блоки для комплектования РВС различной конфигурации и производительности. Сравним по некоторым параметрам вычислительные блоки М200 и блок РВС-0.2-ВБ, содержащие по четыре базовых модуля 16М50 и 16V5-75. Вычислительные блоки М200 и РВС-0.2-ВБ создавались в рамках Федеральных целевых программ "Исследования и разработки по приоритетным направлениям развития науки и техники на 2002-2006 гг." и "Исследования и разработки по приоритетным направлениям развития научно-технологического комплекса России на 2007-2012 годы".

На рис. 5 показаны значения реальной производительности вычислительных блоков М200 и РВС-0.2-ВБ, созданных на основе базовых модулей 16М50 и 16V5-75.

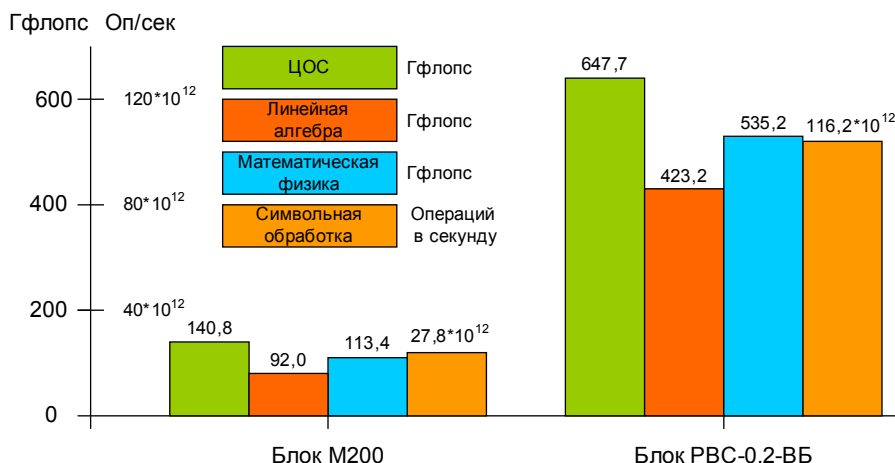


Рис. 5. Значения реальной производительности вычислительных блоков М200 и РВС-0.2-ВБ

Показатели "компактности", отношение производительности вычислительных блоков к объему и "эффективности", отношение стоимости блоков к производительности показаны на рис. 6.

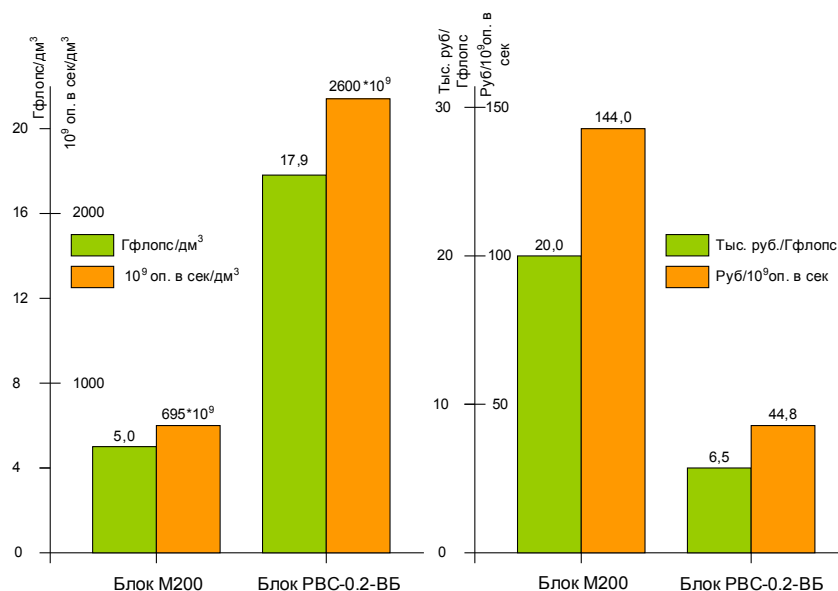


Рис. 6. Значения показателей "компактности" и "эффективности" блоков М200 и RBC-0.2-ВБ

Высокие показатели производительности, компактности и эффективности базового модуля 16V5-75 и блока RBC-0.2-ВБ на его основе достигнуты не только за счет прогресса в области ПЛИС, но и за счет целого комплекса прогрессивных технических решений, положенных в их основу. Технические параметры базового модуля 16V5-75 и блока RBC-0.2-ВБ позволили выполнить все требования, предъявляемые к представителям семейства RBC, заложенные в Государственном контракте № 02.524.12.4002 по теме «Создание семейства высокопроизводительных многопроцессорных вычислительных систем с динамически перестраиваемой архитектурой на основе реконфигурируемой элементной базы и их математического обеспечения для решения вычислительно трудоемких задач». Базовый модуль 16V5-75 и блок RBC-0.2-ВБ могут служить основой для создания RBC различных конфигураций с реальной производительностью от 200 Гфлопс до 20 Тфлопс.

#### ЛИТЕРАТУРА:

1. Аладышев О.С., Дикарев Н.И., Овсянников А.П. и др. СуперЭВМ: области применения и требования к производительности // Известия ВУЗов. Электроника, 2004. - №1. ? С.13-17.
2. Воеводин В.В., Воеводин Вл.В. Параллельные вычисления. - С.-Петербург: "БХВ-Петербург", 2002. - 599 с.
3. Корнеев В.В. Программная настраиваемость аппаратной структуры. - М.: Открытые системы, №10. 2007. с.12 -16.
4. Каляев А.В., Левин И.И. Модульно-наращиваемые многопроцессорные системы со структурно-процедурной организацией вычислений. - М.: Янус-К, 2003. 380 с.
5. Каляев А.В., Левин И.И., Семерников Е.А., Шмойлов В.И. Реконфигурируемые мультимедийные вычислительные структуры / Под общ. ред. И.А.Каляева. Ростов/Д: Издательство ЮНЦ РАН, 2008. - 320 с.
6. Каляев И.А., Левин И.И. Многопроцессорные вычислительные системы (суперкомпьютеры): состояние и перспективы // Вестник компьютерных и информационных технологий. М.: Машиностроение, 2004. ? №5. - С. 25-44.
7. Беседин И.В., Дмитренко Н.Н., Каляев И.А., Левин И.И., Семерников Е.А. Семейство базовых модулей для построения реконфигурируемых многопроцессорных вычислительных систем со структурно-процедурной организацией вычислений // Материалы Всероссийской научной конференции "Научный сервис в сети Интернет: технологии распределенных вычислений", г. Новороссийск. М.: Издательство Московского университета, 2006. С. 47-49.
8. Дордопуло А.И., Каляев И.А., Левин И.И., Семерников Е.А. Семейство многопроцессорных вычислительных систем с динамически перестраиваемой архитектурой // Материалы Четвертой Международной научной молодежной школы "Высокопроизводительные вычислительные системы". - Таганрог: Изд-во ТТИ ЮФУ, 2007. С. 68-74.