

СПОСОБ ДЕЛЕНИЯ ЦЕЛЫХ ДВОИЧНЫХ ЧИСЕЛ БЕЗ ОСТАТКА, НАЧИНАЯ С МЛАДШИХ РАЗРЯДОВ

И.П. Осинин

1. Постановка задачи

Операция деления является одной из наиболее сложных арифметических операций [1]. Её выполнение требует значительных временных затрат. Известен итерационный способ деления целых чисел с фиксированной запятой. В этом способе деление сводится к последовательности вычитаний с восстановлением остатка, либо без восстановления остатка, которые выполняются последовательно, начиная со старших разрядов делимого [2]. Недостаток этого способа состоит в том, что при итерационном способе деления выполняется $m-1$ операция вычитания, а с учетом последовательного способа переносов в старшие разряды – количество тактов деления равно $(m-1)*2*m$. При этом процесс формирования частного является последовательным процессом.

В статье предлагается оригинальный способ деления двух m -разрядных целых двоичных чисел без остатка, основанный на подсчете количества единичных бит в разрядных срезах, формируемых из разрядов делимого. Техническим результатом от использования предложенного способа является повышение скорости вычислений за счет замены серии из m арифметических операций вычитания m параллельно-конвейерными операциями подсчета количества единичных бит. На основании анализа и модификации полученных значений сумм количества единиц во всех разрядных срезах выполняется формирование значения двоичного числа, являющегося значением искомого частного. В результате количество тактов, необходимых для формирования значения частного целых двоичных чисел, будет равно $2*(\log_2 m)*m$ тактов. Таким образом, предлагаемый способ обеспечивает выполнение операции формирования частного быстрее известного итерационного способа в $((m-1)*2*m)/((\log_2 m)*2*m) = (m-1)/\log_2 m$ раз. Например, при $m=64$ вычисления будут выполняться в 8 раз быстрее.

2. Способ деления целых двоичных чисел без остатка, начиная с младших разрядов

Представим делитель в виде последовательности бит $[A(a_m, a_{m-1}, \dots, a_2, a_1)]$, где m -разрядность делителя. Происходит параллельная запись делителя в ячейки матрицы на элементах памяти, причем, в ячейки с 1 по m первой строки матрицы записывается m -разрядный делитель, в ячейки с 2 по m второй строки матрицы записываются $m-1$ младших разрядов делителя, ..., в ячейки с k по m k -ой строки матрицы записывается $m-k$ младших разрядов делителя, ..., в m -ую ячейку m -ой строки матрицы записывается младший разряд делителя. Во все остальные ячейки матрицы записываются нули. В общем виде размещение множимого в ячейках матрицы на элементах памяти выглядит следующим образом

$$\begin{pmatrix} a_{1,m}, a_{1,m-1}, \dots, a_{1,1} \\ a_{2,m-1}, \dots, a_{2,1}, 0 \\ a_{3,m-2}, \dots, a_{3,1}, 0, 0 \\ \dots \\ a_{m-1,2}, a_{m-1,1}, 0, \dots, 0 \\ a_{m,1}, 0, \dots, 0 \end{pmatrix}$$

После чего первый разряд частного становится равным сумме по модулю два младшего разряда первого столбца матрицы и первого разряда делимого, остальные разряды частного становятся равными нулю. Затем подсчитывается количество единиц b_2 в векторе, равном поразрядному логическому умножению соответствующих разрядов второго столбца матрицы и разрядов частного, при этом второй разряд частного становится равным сумме по модулю два младшего разряда b_2 и второго разряда делимого.

Затем подсчитывается количество единиц b_3 в векторе, который равен поразрядному логическому умножению соответствующих разрядов третьего столбца матрицы и разрядов частного, после чего вычисляется сумма s_3 вектора b_3 и вектора b_2 , сдвинутого на один разряд вправо, при этом третий разряд частного становится равным сумме по модулю два младшего разряда s_3 и третьего разряда делимого.

И так далее вычисления продолжаются аналогичным образом, подсчитывается количество единиц b_k в векторе, который равен поразрядному логическому умножению соответствующих разрядов k -го столбца матрицы и разрядов частного, после чего вычисляется сумма s_k вектора b_k и вектора s_{k-1} , сдвинутого на один

разряд вправо, при этом k -ый разряд частного становится равным сумме по модулю два младшего разряда c_k и k -го разряда делимого.

Затем подсчитывается количество единиц b_{k+1} в векторе, который равен логическому умножению соответствующих разрядов $(k+1)$ -го столбца матрицы и разрядов частного, после чего вычисляется сумма c_{k+1} вектора b_{k+1} и вектора c_k , сдвинутого на один разряд вправо, при этом $(k+1)$ -ый разряд частного становится равным сумме по модулю два младшего разряда c_{k+1} и $(k+1)$ -го разряда делимого.

И так далее вычисления продолжаются аналогичным образом, подсчитывается количество единиц b_m в векторе, который равен логическому умножению соответствующих разрядов m -го столбца матрицы и разрядов частного, после чего вычисляется сумма c_m вектора b_m и вектора c_{m-1} , сдвинутого на один разряд вправо, при этом m -ый разряд частного становится равным сумме по модулю два младшего разряда c_m и m -го разряда делимого.

В итоге будет сформировано m -разрядное частное от деления исходных чисел.

3. Пример вычисления суммы n m -разрядных чисел

Допустим, необходимо разделить делимое $a1=110111$ на делитель $a2=1011$ ($m=4$). Запишем делитель в виде матрицы размерностью $m=4$ строк и $m=4$ столбцов, в ячейки с 1 по $m=4$ первой строки записывается делитель. В ячейки с 2 по $m=4$ второй строки записывается $m-1=3$ младших разряда делителя. В ячейки с 3 по $m-1=4$ третьей строки записывается $m-2=2$ младших разряда делителя. В четвертую ячейку четвертой строки записывается младший разряд делителя. Во все остальные ячейки матрицы записываются нули

$$\begin{pmatrix} 1011 \\ 0110 \\ 1100 \\ 1000 \end{pmatrix}$$

Первый разряд частного $d_1=1$ становится равным инверсии суммы по модулю два младшего разряда первого столбца матрицы и первого разряда делимого, остальные разряды частного становятся равными нулю.

Затем подсчитывается количество единиц $b_2=1$ в векторе $f_2=(0011)\&(0001)=0001$, равном поразрядному логическому умножению соответствующих разрядов второго столбца матрицы и разрядов частного, при этом второй разряд частного

$$d_2=1 \oplus 1=0$$

становится равным сумме по модулю два младшего разряда b_2 и второго разряда делимого.

Затем подсчитывается количество единиц $b_3=0$ в векторе $f_3=(0110)\&(0001)=0000$, который равен поразрядному логическому умножению соответствующих разрядов третьего столбца матрицы и разрядов частного, после чего вычисляется сумма $c_3=0+0=0$ вектора $b_3=0$ и вектора $b_2=0$, сдвинутого на один разряд вправо, при этом третий разряд частного

$$d_3=0 \oplus 1=1$$

становится равным сумме по модулю два младшего разряда c_3 и третьего разряда делимого.

Затем подсчитывается количество единиц $b_4=10$ в векторе $f_4=(1101)\&(0101)=0101$, который равен поразрядному логическому умножению соответствующих разрядов четвертого столбца матрицы и разрядов частного, после чего вычисляется сумма $c_4=10+0=10$ вектора $b_4=10$ и вектора $c_3=0$, сдвинутого на один разряд вправо, при этом четвертый разряд частного

$$d_4=0 \oplus 0=0$$

становится равным сумме по модулю два младшего разряда c_4 и четвертого разряда делимого. Таким образом, сформировано частное $d=0101$.

Если принять за время сложения пары m -разрядных чисел m тактов работы устройства, а за время подсчета единичных бит в m -разрядном векторе количество тактов, равное двоичному логарифму от разрядности операнда, то время вычисления частного в устройстве на базе описанного способа равно 2^*p*m

тактов, где $p = \log_2 m$, в то время как время деления итерационным способом равно $2^{*(m-1)*m}$ тактов. Таким образом, быстродействие устройства на базе описанного способа в $2^{*(m-1)*m}$ раз выше по сравнению с быстродействием устройства на базе известного итерационного способа деления.

4. Структурная схема устройства

На рисунке 1 представлен вариант структурной схемы устройства, реализующего операцию вычисления частного в общем виде, где 1 – m -входовые элементы И, 2 – счетчик единичных бит в двоичных векторах; 3 – p -разрядный двухплечевой сумматор; 4 – сдвиговой p -разрядный регистр; 5 – одновходовой элемент ИСКЛЮЧАЮЩЕЕ ИЛИ, a_1 - a_m – m -разрядные информационные входы схемы; d_1 - d_m – одноразрядные информационные выходы схемы, b_1 - b_m – p -разрядные выходы счетчиков единичных бит; c_1 - c_m – $(p+1)$ -разрядные выходы сумматоров 2.

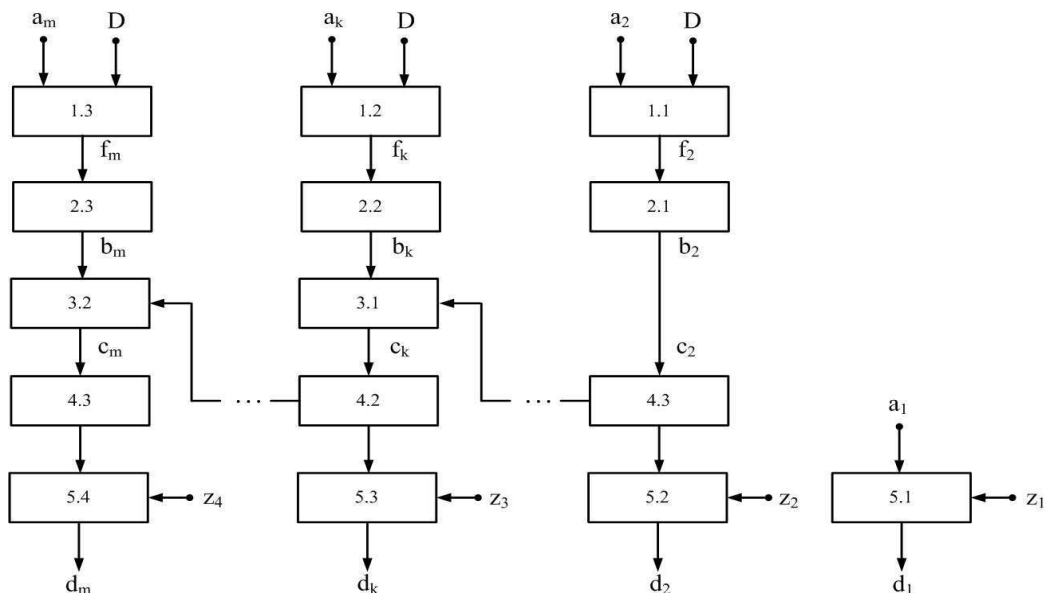


Рис. 1 Структурная схема устройства

На рисунке 2 представлен вариант структурной схемы матрицы на элементах памяти для трехбитного делителя ($m=3$), где 1 – логический элемент И; 2 – информационный триггер с одним входом данных, одним входом синхронизации и одним выходом данных; 3 – информационный вход триггера; 4 – вход синхронизации триггера; 5 – информационный выход триггера; x_1, x_2, x_3 – входы схемы, на которые подается остаток множимого по трехбитному основанию, y_1, y_2, y_3 – входы схемы, на которые подается остаток множителя по трехбитному основанию, a_i, j – выходы матрицы на элементах памяти.

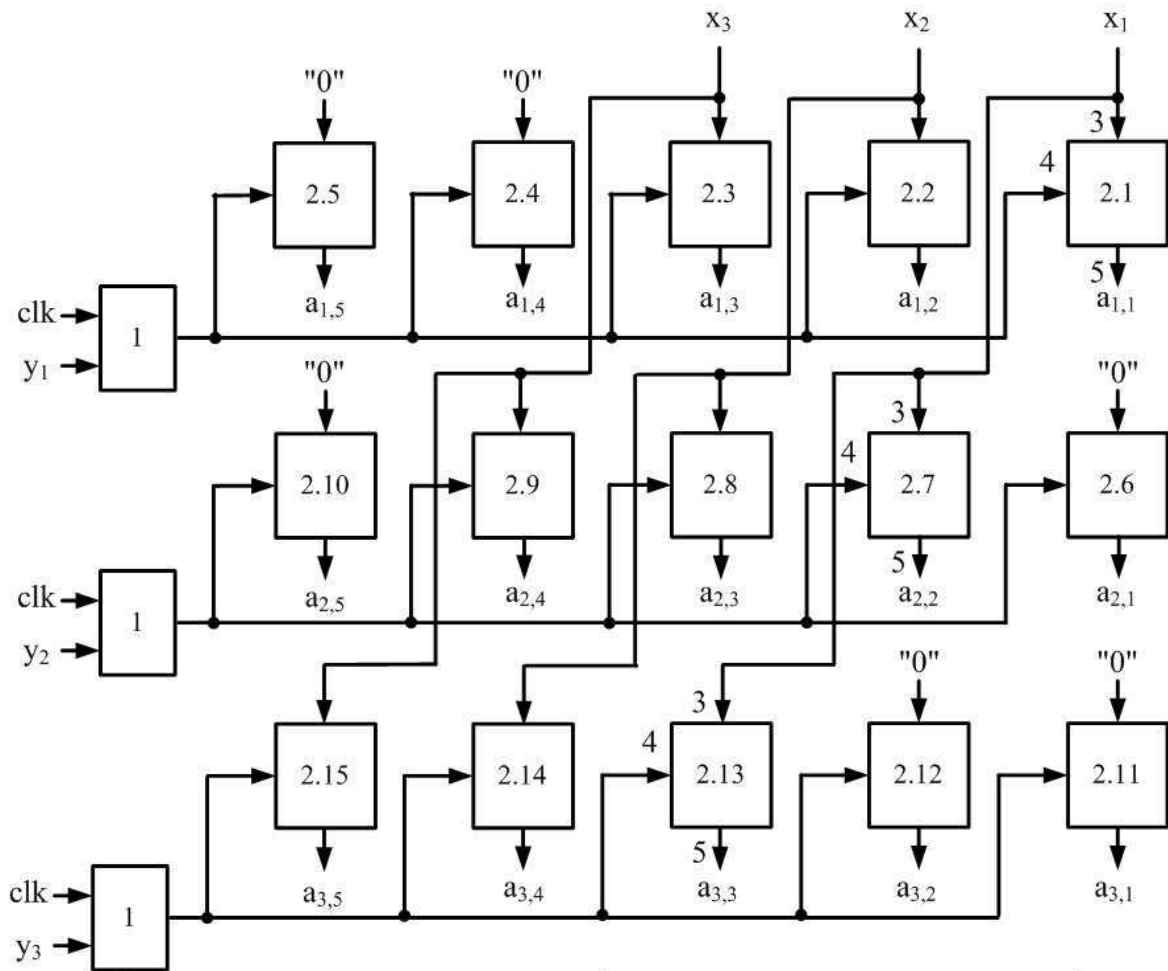


Рис. 2. Структурная схема матрицы на элементах памяти

Для подсчета единичных бит в двоичных векторах предлагается применять концепцию однородной вычислительной среды, суть которой заключается в организации параллельно-конвейерного режима. В подобной структуре базовые элементы - ячейки соединены регулярными связями. На рисунке 3 приведена структурная схема ячейки однородной структуры, где a , b – информационные входы, clk – вход синхронизации, Q_1 , Q_2 – информационные выходы, $\&$ – элемент «И», $=1$ – элемент «ИСКЛЮЧАЮЩЕЕ ИЛИ», Tg – информационный триггер.

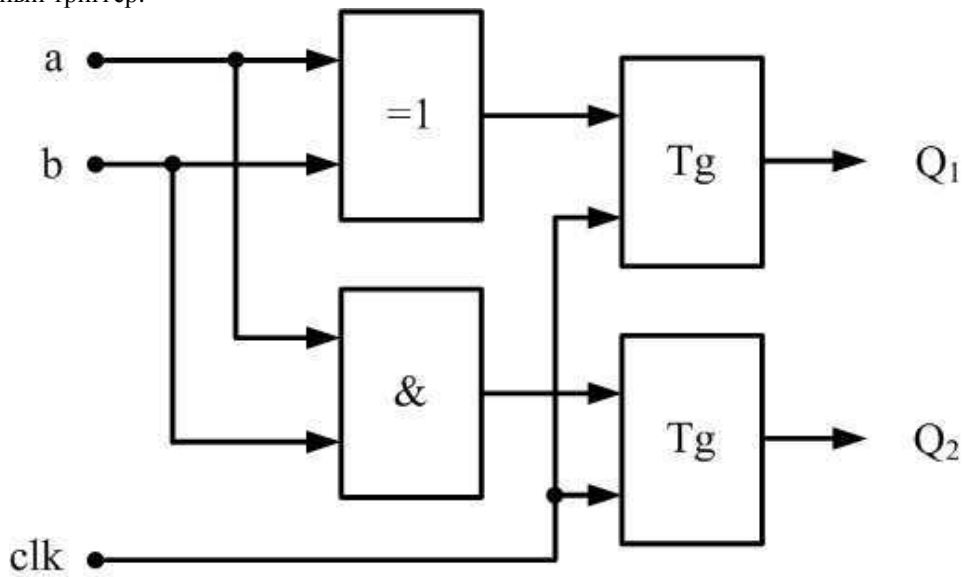


Рис. 3. Структурная схема ячейки однородной вычислительной среды

Однородная вычислительная среда (рисунок 4) из ячеек рассмотренного типа обеспечивает подсчет единичных бит в двоичных векторах. Количество строк однородной вычислительной среды равно m , количество столбцов однородной вычислительной среды равно p , где p равно логарифму от m по основанию 2,

округленному до большего целого. На каждом такте на входы синхронизации триггеров подается сигнал синхронизации. На второй вход ячеек первого столбца подаются соответствующие разряды информационного вектора, причем каждый следующий бит подается на следующий такт работы устройства. Затем вектор передается в соседний справа столбец и соседнюю снизу строку в преобразованном виде. Значение i -ого разряда в j -ом столбце определяется значением $(i-1)$ -го разряда вектора в j -ом столбце, а также значением i -ым разрядом вектора в $(j-1)$ -ом столбце.

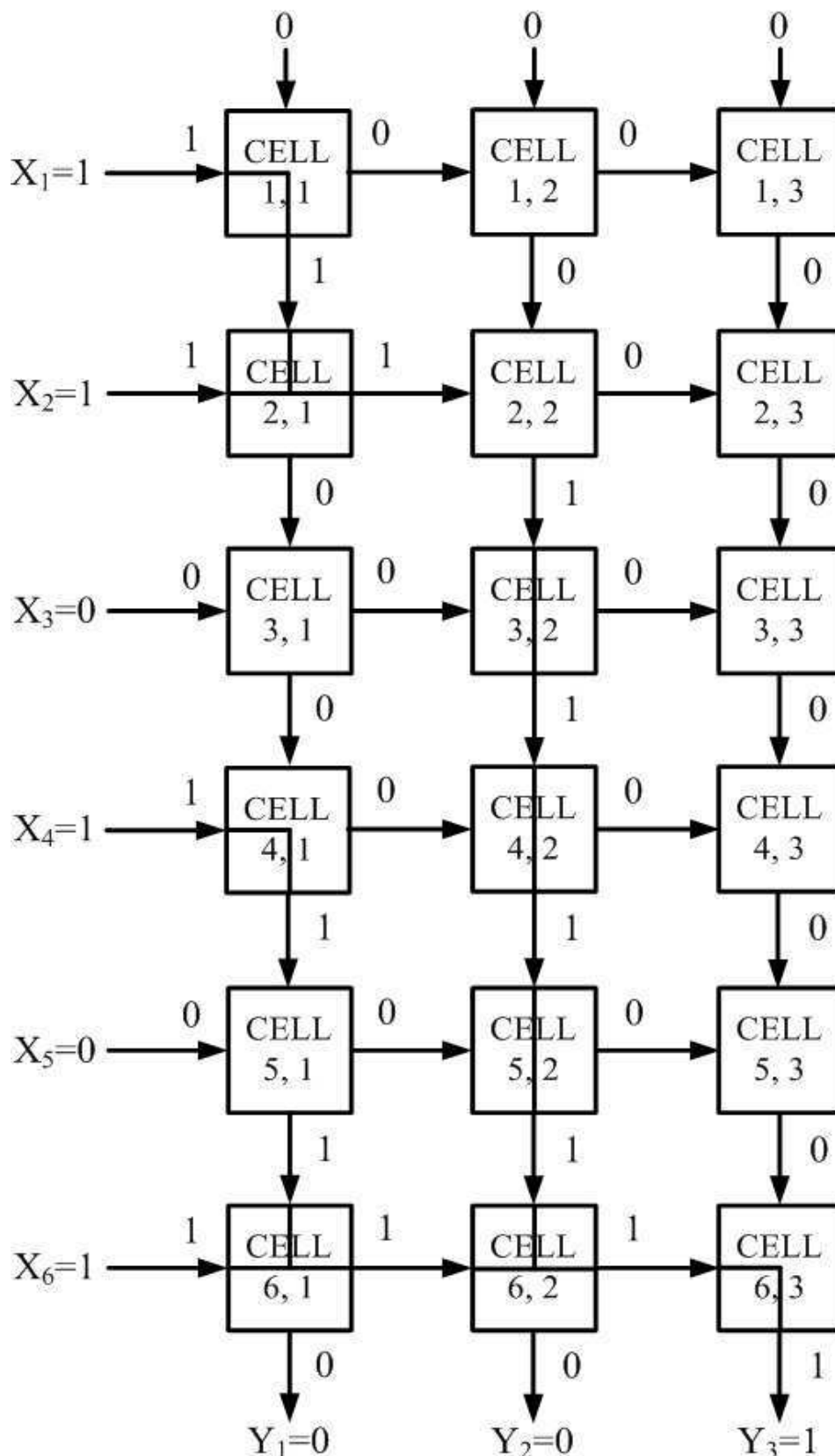


Рис. 4. Пример выполнения операции подсчета единичных бит

В результате через m тактов работы устройства будет сформирован младший бит результата подсчета единиц входного вектора, после чего конвейер является заполненным и биты результата доступны каждый последующий такт работы устройства. Второй информационный выход ячеек последней строки однородной вычислительной среды является выходом схемы, с которого снимается результат.

Так как в ячейке обе цепочки распространения сигнала имеют по одному логическому элементу, время задержки распространения сигнала в составляет t , где t – время задержки сигнала одним логическим элементом.

На рисунке 4 изображен пример выполнения операции подсчета единичных бит в двоичном векторе $X=101011$ разрядностью $m=6$, подаваемого на информационные входы X_1-X_6 последовательно, начиная с младших, каждый такт работы однородной вычислительной среды, начиная с младшего бита X_1 и заканчивая старшим X_6 . При этом показана передача данных с выходов (i,j) -ой ячейки на соответствующие входы $(i,j+1)$ -ой и $(i+1,j)$ ячейки однородной вычислительной среды. Через шесть тактов работы устройства младший бит результата доступен на выходе $Y_1=0$, на седьмом такте работы устройства доступен бит результата $Y_2=0$, на восьмом такте работы устройства доступен старший бит результата $Y_3=1$.

Так как в основе предлагаемого базового элемента однородной вычислительной среды лежит полусумматор, то это позволяет превращать счетчик единичных бит в сумматор, меняя лишь связи базовых элементов. Структурная схема подобного сумматора приведена на рисунке 5.

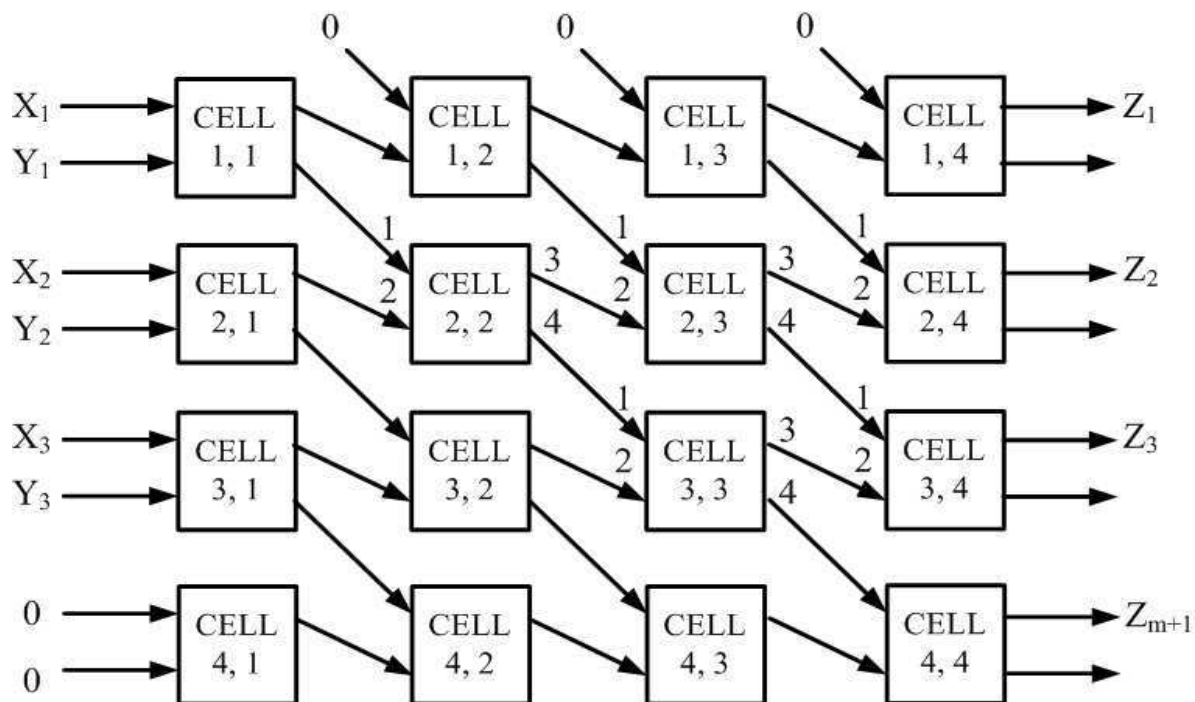


Рис. 5. Структурная схема однородной вычислительной среды для сложения векторов

5. Заключение

Таким образом, предлагаемый способ деления целых двоичных чисел без остатка, позволяет производить деление без применения традиционных устройств суммирования и вычисления дополнительного кода. Техническая реализация предложенного способа возможна в качестве устройства деления. Результаты экспериментального моделирования возможного варианта подобного устройства на базе ПЛИС подтверждают его работоспособность.

Возможность деления, начиная с младших разрядов, позволяет использовать подобное устройство в систолических системах, где результаты вычислений незамедлительно передаются с выходов предыдущего вычислительного блока на вход следующего.

На основании анализа и модификации полученных значений сумм количества единиц во всех разрядных срезах выполняется формирование значения двоичного числа, являющегося значением искомого частного. В результате количество тактов, необходимых для формирования значения частного целых двоичных чисел, будет равно $\lceil \log_2 n \rceil$ тактов.

Благодаря регулярным соединениям и однотипным ячейкам устройство деления легко масштабируемо, что позволяет динамически изменять разрядность операндов. Благодаря простоте ячейки однородной вычислительной среды и параллельно-конвейерному режиму работы, достигается высокое быстродействие устройства. Время такта сводится к времени срабатывания простого логического элемента.

ЛИТЕРАТУРА:

1. Бандман, О. Специализированные процессоры для высокопроизводительной обработки данных - Новосибирск: Наука, 1988. - 204с.
2. Алексин, Ю.П. Мультиконвейерные вычислительные структуры на однородных средах - Львов: ФМИ АН УССР, 1986. - 74с.